

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-352578
(P2000-352578A)

(43)公開日 平成12年12月19日(2000.12.19)

(51) Int.Cl.⁷

識別記号

F I

テマコート* (参考)

G O I R 31/319
31/28

G O I R 31/28

R 2 G 0 3 2
H

審査請求 未請求 請求項の数3 OL (全 8 頁)

(21)出願番号 特願平11-163001

(22)出願日 平成11年6月9日(1999.6.9)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 射羽 徹

東京都練馬区旭町1丁目32番1号 株式会社
アドバンテスト内

(74) 代理人 100066153

弁理士 草野 卓 (外1名)

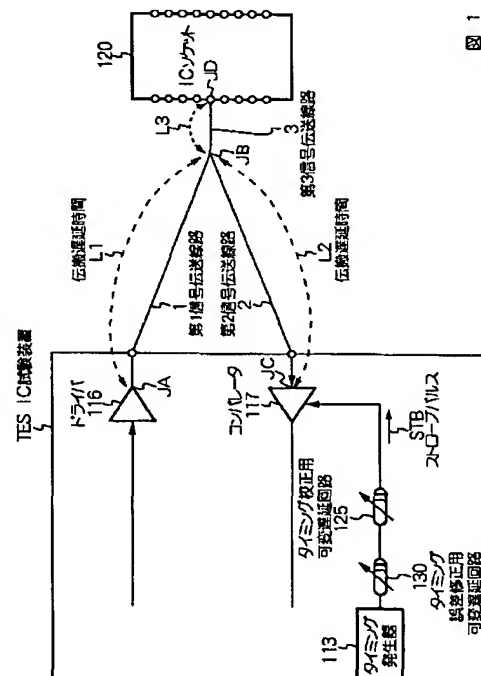
Fターム(参考) 2G032 AD06 AE06 AG07 AH04 AJ07
AK01

(54) 【発明の名称】 IC試験装置のタイミング校正方法及びこのタイミング校正方法を用いたIC試験装置

(57) 【要約】

【課題】 校正モードで校正しても正しく校正することができない接続構造のＩＣ試験装置のタイミング校正を、正しく校正することができるタイミング校正方法を提案する。

【解決手段】 一端がドライバの出力端子に接続された第1信号伝送線路と、一端がコンパレータの入力端子に接続された第2信号伝送線路と、これら第1信号伝送線路と第2信号伝送線路の他端を共通接続した共通接続点と被試験ICを装着するICソケットの端子との間を電気的に接続する第3信号伝送線路とを具備して構成されるIC試験装置において、第3信号伝送線路の信号伝搬時間を測定し、その測定値 L_3 を2倍した $2 \times L_3$ に相当する時間だけコンパレータに与えるストロブパルスの位相を遅延して設定するタイミング校正方法。



【特許請求の範囲】

【請求項1】 一端がドライバの出力端子に接続された第1信号伝送線路と、一端がコンパレータの入力端子に接続された第2信号伝送線路と、これら第1信号伝送線路と、第2信号伝送線路の他端を共通接続した共通接続点と、被試験ICを装着するICソケットの端子との間を電氣的に接続する第3信号伝送線路とを具備して構成されるIC試験装置において、

上記第3信号伝送線路の信号伝搬時間を測定し、その測定値 L_3 を2倍した $2 \times L_3$ に相当する時間だけ上記コンパレータに与えるストロブパルスの位相を遅延して設定することを特徴とするIC試験装置のタイミング校正方法。

【請求項2】 一端がドライバの出力端子に接続された第1信号伝送線路と、一端がコンパレータの入力端子に接続された第2信号伝送線路と、これら第1信号伝送線路と、第2信号伝送線路の他端を共通接続した共通接続点と被試験ICを装着するICソケットの端子との間を電氣的に接続する第3信号伝送線路とを具備して構成されるIC試験装置において、

上記コンパレータのストロブパルス供給路にタイミング誤差修正用遅延回路を設け、このタイミング遅延回路に上記第3信号伝送線路の信号伝搬時間 L_3 を2倍した $2 \times L_3$ に相当する遅延時間を設定した構成としたことを特徴とするIC試験装置。

【請求項3】 請求項2記載のIC試験装置において、上記コンパレータのストロブパルス供給路に上記タイミング誤差修正用遅延回路と直列にタイミング校正用可変遅延回路を設け、このタイミング校正用可変遅延回路にタイミング校正モードにおいて上記第1信号伝送線路及び第2信号伝送線路の信号伝搬時間 L_1 と L_2 の和の時間 $L_1 + L_2$ に相当する遅延時間を設定することを特徴とするIC試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は例えば半導体集積回路素子（IC）を試験するIC試験装置に用いられるタイミング校正方法及びタイミング校正方法を用いてタイミング校正を施したIC試験装置に関する。

【0002】

【従来の技術】図3にIC試験装置全体の概略の構成を示す。図中TESはIC試験装置の全体を示す。IC試験装置TESは主制御器111と、パターン発生器112、タイミング発生器113、波形フォーマッタ114、論理比較器115、ドライバ116、コンパレータ117、不良解析メモリ118、論理振幅基準電圧源121、比較基準電圧源122、デバイス電源123等により構成される。図では被試験IC119の一つのピンに対して用意されるIC試験装置の構成を示す。実際には図3に示した構成が少なくとも被試験IC119のピ

ン数分は設けられる。

【0003】主制御器111は一般にコンピュータシステムによって構成され、利用者が作製した試験プログラムに従って主にパターン発生器112とタイミング発生器113を制御し、パターン発生器112から試験パターンデータを発生させ、この試験パターンデータを波形フォーマッタ114で実波形を持つ試験パターン信号に変換し、この試験パターン信号を論理振幅基準電圧源121で設定した振幅値を持った波形に電圧増幅するドライバ116を通じて被試験IC119に印可し記憶させる。

【0004】被試験IC119から読み出した応答信号はコンパレータ117で比較基準電圧源122から与えられる基準電圧と比較し、所定の論理レベル（H論理の電圧、L論理の電圧）を持っているか否かを判定し、所定の論理レベルを持っていると判定した信号は論理比較器115でパターン発生器112から出力される期待値と比較し、期待値と不一致が発生した場合はその読み出したアドレスのメモリセルに不良があるものと判定し、不良発生毎に不良解析メモリ118に不良アドレスを記憶し、試験終了時点で例えば不良セルの救済が可能か否かを判定する。

【0005】ここで、タイミング発生器113は被試験IC119に与える試験パターン信号の波形の立上りのタイミング及び立下りのタイミングを規定するタイミングと、論理比較器115で論理比較のタイミングを規定するストロブパルスのタイミングを発生する。これらの各タイミングは利用者が作製した試験プログラムに記載され、利用者が意図したタイミングで被試験IC119を動作させ、またその動作が正常か否かを試験できるように構成されている。

【0006】コンパレータ117のストロブパルス供給路124にはタイミング校正用可変遅延回路125が設けられる。このタイミング校正用可変遅延回路125にはタイミング校正モードにおいて、ドライバ116とコンパレータ117の共通接続点Pと被試験IC119との間を結ぶ信号伝送線路126の信号伝搬時間の2倍の時間（信号伝送線路126を往復する時間）に相当する遅延時間 T_{DLV} を設定する。

【0007】タイミング校正用可変遅延回路125の遅延時間を T_{DLV} に設定することにより、ドライバ116から各テストサイクルの初期位相位置 T_0 。（図4A参照）で出力した試験パターン信号が被試験IC119に伝わり、被試験IC119が遅れなく応答信号 R_0 を出力したとすると、応答信号 R_0 はテストサイクルの初期位相位置 T_0 から遅延時間 T_{DLV} だけ遅延してコンパレータ117に入力されることになる（図4B参照）。

【0008】従ってストロブパルスSTBもタイミング発生器113からテストサイクルの初期位相位置 T_0 のタイミングで出力されると、ストロブパルスSTB

もタイミング校正用可変遅延回路125で遅延時間 T_{DLV} だけ遅延されるから図4Cに示すように応答信号 R_0 の立上りのタイミングでストローブパルスSTBもコンパレータ117に入力され、応答信号 R_0 の状態を読み取ることができる。応答信号 R_0 の到来が遅れた場合は、タイミング発生器113におけるストローブパルスSTBの発生タイミングを遅らせればよい。その遅れの時間を初期位相位置 T_0 を基準に測定することができ被試験IC119の応答遅れ時間を測定することができる。

【0009】この応答遅れ時間を測定することにより被試験IC119の応答の速い遅いを検査することができる。タイミング校正用可変遅延回路125に遅延時間 T_{DLV} を設定する作業をタイミング校正と呼んでいる。このタイミング校正は以下の如くして行なわれる。まずタイミング発生器113には校正用の駆動パルスの発生タイミングを各テストサイクルTSの初期位相位置 T_0 に設定すると共に、ストローブパルスSTBの発生タイミングも初期位相位置 T_0 に設定する。

【0010】この状態でドライバ116から被試験IC119に校正用のパルスを送り込み、その反射波をコンパレータ117で取り込む。反射波の到来タイミングとストローブパルスの印加タイミングとが合致するように、ストローブパルスの供給路124に設けたタイミング校正用可変遅延回路125の遅延時間を設定することにより、ストローブパルスの印加タイミングの校正が終了する。

【0011】この校正作業が完了すると、タイミング発生器113に設定するストローブパルスSTBの生成タイミングを初期位相位置 T_0 に設定すれば被試験IC119の良否の判定試験を行なうことができる状態となる。図4Dにコンパレータ117の読取結果を示す。図3に示したドライバ116とコンパレータ117はIC試験装置TES側で出力端子と入力端子を共通接続した構成の場合を示す。この接続構成の場合は上述した校正方法により正しくストローブパルスの印加タイミングを校正することができる。

【0012】

【発明が解決しようとする課題】IC試験装置TESと被試験IC119との接続構造には図3に示した構造の外に、図5に示す接続構造と、図7に示す接続構造とが有る。図5の接続構造の場合はタイミング校正時にドライバ116から出力した駆動パルス DR_A （図6A）は第1信号伝送線路1の伝搬遅延時間 L_1 後に被試験IC119を装着するICソケット120の端子JBを通過し、その伝搬波 DR_B （図6B）は第2信号伝送線路2の伝搬遅延時間 L_2 後にコンパレータ117の入力端子JCに到達する。

【0013】従ってタイミング校正用可変遅延回路125には駆動パルス DR_A の生成タイミング T_0 から L_1

+ L_2 だけ遅延した遅延時間 L を設定すれば被試験IC119が出力する応答出力信号 R_0 （図6E）は信号伝送線路2の伝搬遅延時間 L_2 の遅延量でコンパレータ117の入力端子JCに入力される。従って初期位相位置 T_0 で発生したストローブパルスSTBはタイミング校正用可変遅延回路125で L_1+L_2 だけ遅延してコンパレータ117に入力されるから、このストローブパルスSTB1により正しく読み取ることができる。

【0014】これに対し、図7に示す接続構造の場合はドライバ116から出力された駆動パルスは共通接続点JBを通過し、この伝搬波 DR_B （図8B）は第2信号伝送線路2の伝搬遅延時間 L_2 後にコンパレータ117の入力端子JCに入力される。このため伝搬波の到来タイミングとストローブパルスSTBの印加タイミングとが合致するようにタイミング校正を実施すると、点JBからICソケット120の端子JDとの間の伝搬遅延時間 L_3 の2倍の時間 $2 \times L_3$ の誤差が発生し、タイミング校正したストローブパルスSTB2（図8H）では被試験IC119の応答信号 R_0 がコンパレータ117に到達する応答信号 R_{0c} （図8G）の論理値を読み取ることができないことになる。つまり、図7に示す接続構造の場合は従来のタイミング校正方法によっては正常なタイミング校正を行なうことができない不都合が生じる。

【0015】また別の方法としてストローブパルスSTBの位相を順次遅らせる操作を行なって、応答信号 R_{0c} の立上りのタイミング $L_1+L_2+2 \times L_3$ を図8Iに示すストローブパルスSTB3によって検出したとしても、この場合にはタイミング発生器113は初期位相位置 T_0 から $2 \times L_3$ 遅れたタイミングでストローブパルスを出力しているから応答信号 R_{0c} の立上りのタイミングを初期位相位置 T_0 から $2 \times L_3$ だけ遅延していると判定してしまう欠点がある。

【0016】図7に示す接続構造を採らなくてはならない理由としてはICのピン数の増加が挙げられる。つまり、ICのピン数が多くなるに伴ってピン相互間の間隔もわずかな寸法になるため、ICソケットの各端子JDまで2本ずつ信号線路1と2を形成するスペースが採れない場合、或はICの品種によっては出力端子の外側にインピーダンス整合用の抵抗器を接続しなければならない。品種のICを試験する場合には、被試験IC119を装着するICソケットを支持するプリント基板にそのインピーダンス整合用の抵抗を形成し、抵抗を通じて2本の信号線路1と2を接続する構造が採られる。

【0017】このような理由から、図7に示すような接続構造が採られる事例は今後増加する傾向にあり、この接続構造を採った場合にコンパレータ117に与えるストローブパルスのタイミング校正方法の確立が求められている。この発明の目的は図7に示すような接続構造によりICを試験しなければならない場合に、コンパレータに与えるストローブパルスの印加タイミングを正常な

状態つまり、タイミング発生器から見て校正したタイミングを初期位相位置 T_0 として認識することができるタイミング校正方法と、このタイミング校正方法によって校正されて動作するIC試験装置を提供しようとするものである。

【0018】

【課題を解決するための手段】この発明の請求項1では一端がドライバの出力端子に接続された第1信号伝送線路と、一端がコンパレータの入力端子に接続された第2信号伝送線路と、これら第1信号伝送線路と第2信号伝送線路の他端を共通接続した共通接続点と被試験ICの端子との間を電氣的に接続する第3信号伝送線路とを具備して構成されるIC試験装置において、第3信号伝送線路の信号伝搬時間を測定し、その測定値 L_3 を2倍した $2 \times L_3$ に相当する時間だけストロブパルスの印加タイミングを遅延して設定するIC試験装置のタイミング校正方法を提案するものである。

【0019】この発明の請求項2ではコンパレータにストロブパルスを与えるストロブパルス供給路に $2 \times L_3$ に相当する遅延時間を持つ遅延回路を設けた構成のIC試験装置を提案するものである。この発明によるタイミング校正方法及びこのタイミング校正方法によって校正したIC試験装置によれば、従来と同様の校正方法によってストロブパルスの印加タイミングを校正しても、この校正により、ストロブパルスは実質的に $L_1 + L_2 + 2 \times L_3$ の遅延時間で校正されたことになる。

【0020】この結果、第1信号伝送線路及び第2信号伝送線路と第3信号伝送線路とを具備して構成される接続構造のIC試験装置でも、各テストサイクルの初期位相位置 T_0 を基準として正しいタイミングの判定を行なうことができる利点が得られる。

【0021】

【発明の実施の形態】図1にこの発明の請求項2で提案するIC試験装置の一実施例を示す。図7と対応する部分には同一符号を付して示す。この発明では第3信号伝送線路3を具備した接続構造のIC試験装置において、コンパレータ117にストロブパルス供給路124にタイミング誤差修正用可変遅延回路130を設け、このタイミング誤差修正用可変遅延回路130に第3信号伝送線路3の信号伝搬時間 L_3 の2倍の値を設定する。

【0022】第3信号伝送線路3の信号伝搬時間 L_3 は予め他の測定手段によって測定するものとする。その測定手段としては例えば信号の反射を利用して信号が信号伝送線路3を往復する時間を測定する測定手段或はオシロスコープを利用して測定することもできる。タイミング誤差修正用可変遅延回路130に $2 \times L_3$ (NS)を設定すれば、その後は従来と同様にタイミング発生器113にストロブパルスSTBの発生タイミングを初期位相位置 T_0 に設定し、この状態でドライバ116から校正用の駆動パルス DR_A を図2Aに示すように初期位

相位置 T_0 で出力させ、この駆動パルス DR_A が第1信号伝送線路1と第2信号伝送線路2を通じてコンパレータ117に入力する。コンパレータ117に入力される駆動パルスの立上りのタイミングにストロブパルスSTBのタイミングを合致させるようにタイミング校正用可変遅延回路125の遅延時間を図2Dに示すように $L_1 + L_2$ に設定すれば、タイミング校正は終了する。

【0023】この校正により、タイミング発生器113はストロブパルスSTBを図2Hに示す初期位相位置 T_0 で出力しても、このストロブパルスSTBは途中でタイミング誤差修正用可変遅延回路130で誤差分 $2 \times L_3$ だけ遅延され、更にタイミング校正用可変遅延回路125で $L_1 + L_3$ だけ遅延されてコンパレータ117に入力される。この結果第3信号伝送線路3が存在する接続構造のIC試験装置でも、コンパレータ117の比較判定は各テストサイクルの初期位相位置 T_0 を基準に行なうことができる利点が得られる。

【0024】

【発明の効果】以上説明したように、この発明によれば第3信号伝送線路3を具備した接続構造のIC試験装置でも、この第3信号伝送線路3の存在によって発生するタイミングの校正誤差 $2 \times L_3$ を除去することができる。この結果被試験ICが出力する応答信号の論理値を判定する場合もタイミング発生器113としてはタイミング校正した初期位相位置 T_0 でストロブパルスを出力すればよく、また応答信号の到来タイミングを測定する場合も初期位相位置 T_0 を基準にして測定することができる利点が得られる。

【図面の簡単な説明】

【図1】この発明によるタイミング校正方法を適用したIC試験装置の一実施例を説明するためのブロック図。
【図2】この発明の動作を説明するためのタイミングチャート。

【図3】IC試験装置の概要を説明するためのブロック図。

【図4】IC試験装置の動作の概要を説明するためのブロック図。

【図5】IC試験装置と被試験ICとの間の接続構造の一例を説明するためのブロック図。

【図6】図5の動作状況を説明するためのタイミングチャート。

【図7】この発明が解決しようとする課題を持つIC試験装置と被試験ICとの間の接続構造を説明するためのブロック図。

【図8】図7に示した接続構造の動作状況を説明するためのタイミングチャート。

【符号の説明】

- 1 第1信号伝送線路
- 2 第2信号伝送線路
- 3 第3信号伝送線路

TES	IC試験装置	119	被試験IC
113	タイミング発生器	125	タイミング校正用可変遅延回路
116	ドライバ	130	タイミング誤差修正用可変遅延回路
117	コンパレータ		

【図1】

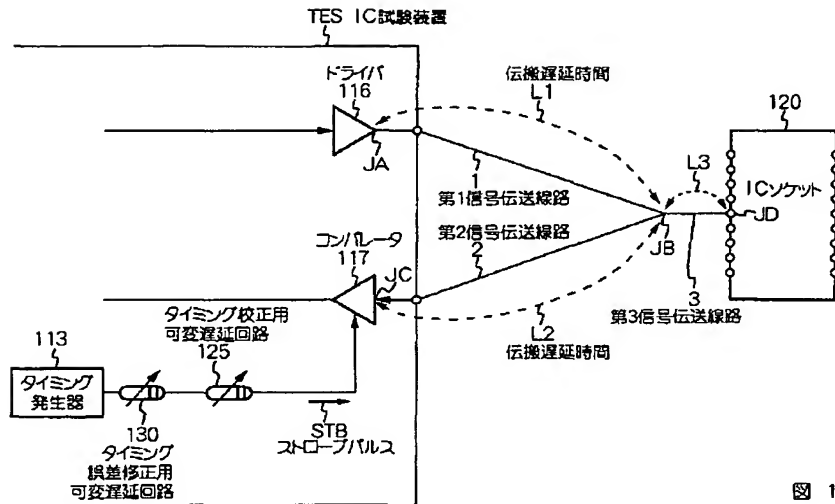


図 1

【図2】

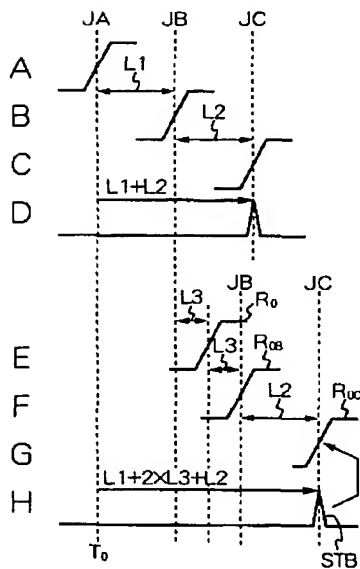


図 2

【図6】

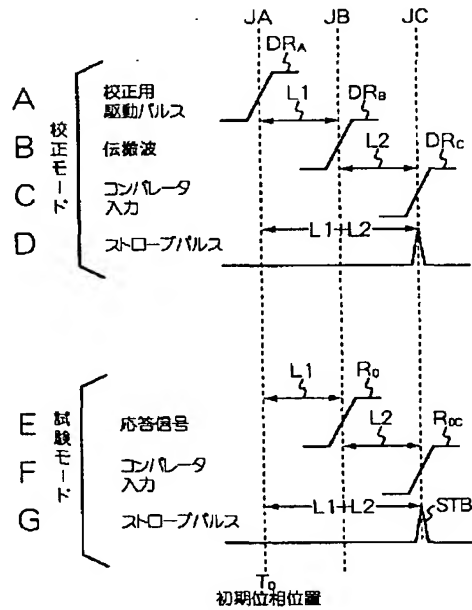
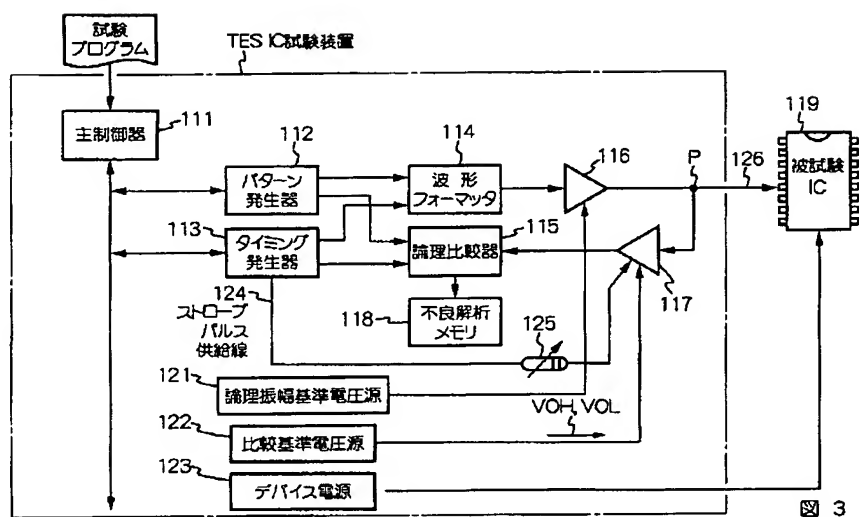
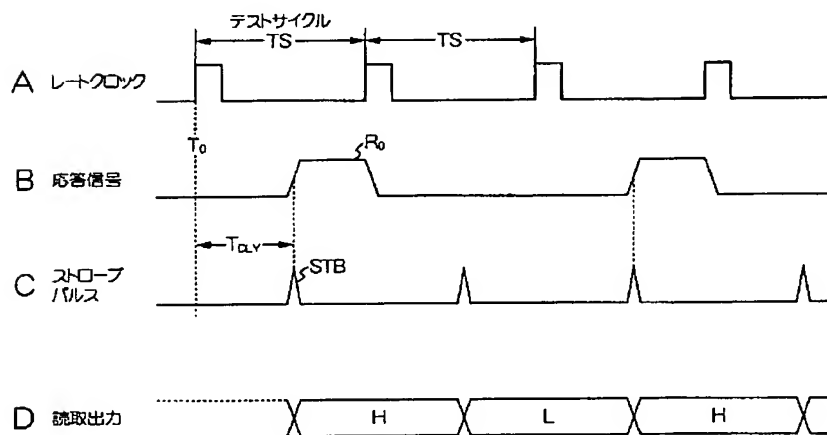


図 6

【図3】



【図4】



【図5】

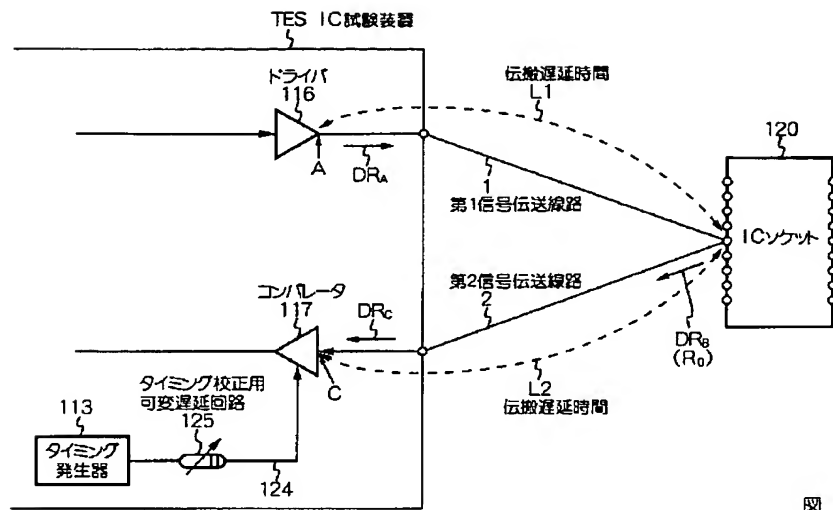


図 5

【図7】

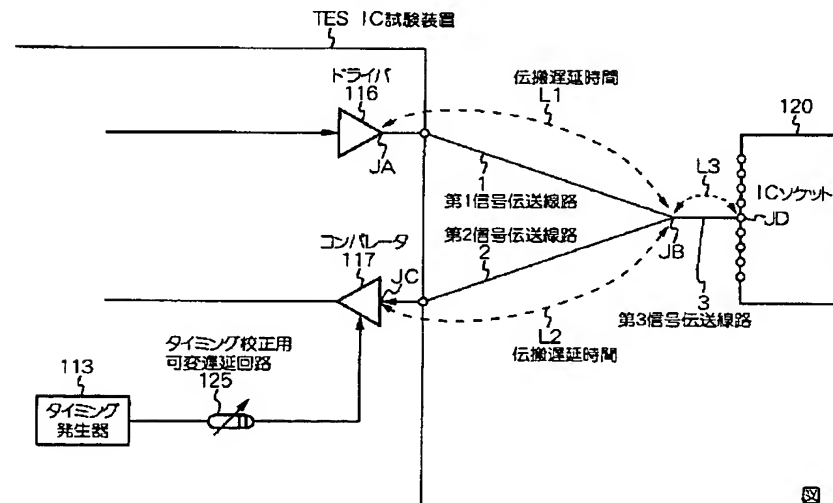


図 7

【図8】

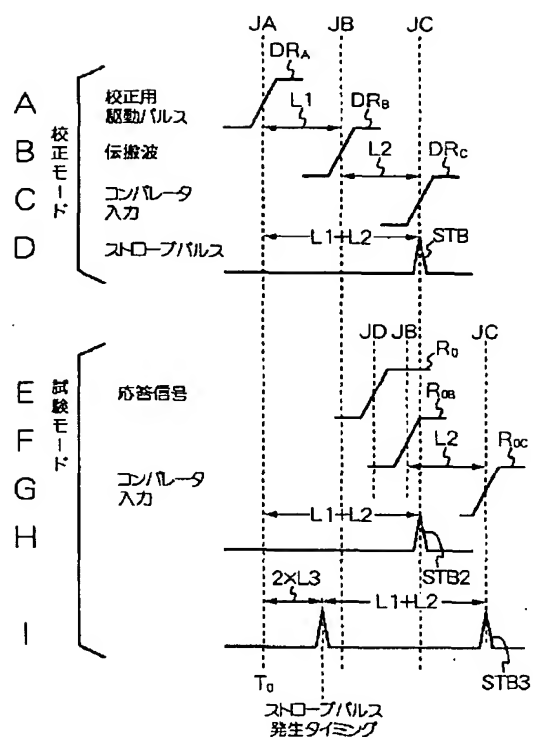


図 8